

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-220615

(43)Date of publication of application : 13.09.1988

(51)Int.Cl.

H03K 3/286

(21)Application number : 62-054601

(71)Applicant : NEC CORP

(22)Date of filing : 09.03.1987

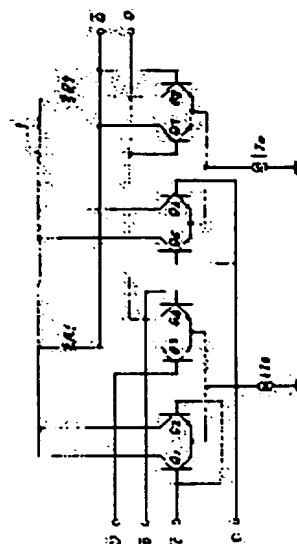
(72)Inventor : KIMURA KATSU HARU

(54) FLIP-FLOP CIRCUIT

(57)Abstract:

PURPOSE: To lower a power source voltage to $\geq 1.5V$ by constituting a flip-flop of two differential circuits composed of two pairs of transistor pairs to share a constant current source.

CONSTITUTION: When a clock pulse is inputted from terminals C and -C and the terminal C is High and the terminal -C is LOW, transistors Q1 and Q2 are turned off. At this time, when a terminal D is High and a terminal -D is LOW, a transistor Q3 is turned on and a transistor Q4 is turned off. Next, the clock pulse of the terminals C and -C is inverted, the terminal -C is High and the terminal C is LOW, then, transistors Q3 and Q4 are turned off and transistors Q5 and Q6 are turned on. At such a time, a transistor Q7 is turned on, a transistor Q8 is turned off and the data inputted from terminal D and -D are held. By the above-mentioned action, it is found that the circuit has the function of the flip-flop.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑤ Int. Cl.⁴

H 03 K 3/286

識別記号

庁内整理番号

F-8626-5J

④ 公開 昭和63年(1988)9月13日

審査請求 未請求 発明の数 1 (全5頁)

⑥ 発明の名称 フリップフロップ回路

⑦ 特 願 昭62-54601

⑧ 出 願 昭62(1987)3月9日

⑨ 発 明 者 木 村 克 治 東京都港区芝5丁目33番1号 日本電気株式会社内
⑩ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑪ 代 理 人 弁理士 内 原 晋

明 細 書

~~トランジスタが接続されるトランジスタを更に持つこ
を特徴とするフリップフロップ回路。~~

1. 発明の名称

フリップフロップ回路

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はフリップフロップ回路に関し、特に
ECL型フリップフロップ回路に関する。

〔従来の技術〕

従来、この種のフリップフロップ回路は第5図
に示すような回路構成になっていた。

〔発明が解決しようとする問題点〕

上述した従来のフリップフロップ回路は、トラ
ンジスタを2段重ねているので電源電圧を1.5V
以下には下げられないという欠点がある。

〔問題点を解決するための手段〕

本発明のフリップフロップ回路は、ベースが共
通接続された第1のトランジスタ対とベースが共
通接続された第3のトランジスタ対と第2のトラ
ンジスタ対のコレクタ対と互いにコレクタ対が共
通接続され、ベースが互いに対のトランジスタの

2. 特許請求の範囲

1 定電流源を共有する2対のトランジスタ対か
ら成る差動回路を2個有し、第1の差動回路を
構成する第1のトランジスタ対のベースは共通
に接続され、第2の差動回路を構成する第3の
トランジスタ対の共通に接続されたベースとと
もに第1の入力対を構成し、第1の差動回路を
構成する第2のトランジスタ対のベース対は第
2の入力対を構成し、コレクタは出力対を構成
し、第2の差動回路を構成する第4のトランジ
スタ対のベース対は前記出力対と接続され、コ
レクタ対はベース対とはそれぞれ逆に前記出力
対と接続されることを特徴とするフリップフロ
ップ回路。

~~2. 請求範囲1の少なくとも一方の定電流源に~~

コレクタに接続される第4のトランジスタ対と第1および第2のトランジスタ対が共有する第1の定電流源と第3および第4のトランジスタ対が共有する第2の定電流源を有している。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明請求範囲1の一実施例を示す回路図である。端子C、 \bar{C} よりクロックパルスが入力され、端子CがHigh、端子 \bar{C} がLOWとするとトランジスタQ1、Q2はオフする。このとき端子DがHigh、端子 \bar{D} がLOWとするとトランジスタQ3はオンし、トランジスタQ4はオフする。すなわち出力端子Q、 \bar{Q} はQがHigh、 \bar{Q} がLOWとなる。次に端子C、 \bar{C} のクロックパルスが反転して端子 \bar{C} がHigh、端子CがLOWとなるとトランジスタQ1、Q2はオンし、トランジスタQ3、Q4はオフし、トランジスタQ5、Q6はオフする。このときにトランジスタQ7はオンし、トランジスタQ8はオフとなり、端子D、 \bar{D} から入力されたデータが保持される。

- 3 -

Q3のコレクタがHigh、トランジスタQ4のコレクタがLOWとなっているとする。

次の瞬間入力のクロックパルスが反転して端子 \bar{C} がHigh、端子CがLOWになると、トランジスタQ5、Q6、Q9、Q10がオフ、トランジスタQ1、Q2、Q13、Q14がオンし、トランジスタQ3、Q4；Q15、Q16がオフ、Q8、Q12がオンし、データが保持される。このとき端子QはLOW、出力端子 \bar{Q} はHighである。

次に入力のクロックパルスが再び反転して端子CがHigh、端子 \bar{C} がLOWになると、トランジスタQ1、Q2；Q13、Q14はオフし、トランジスタQ5、Q6；Q9、Q10はオン、トランジスタQ3はON、トランジスタQ4はオフ、トランジスタQ16はオン、トランジスタQ15はオフし、データは保持される。

次に入力クロックパルスが反転して端子CがLOW、端子 \bar{C} がHighになるとトランジスタQ5、Q6；Q9、Q10がオフ、トランジスタQ1、Q2；Q13、Q14がオン、トランジスタQ3、Q4；Q15、

以上の動作によりフリップフロップの機能を持つことがわかる。

第2図は本発明の他の実施例を示す回路図であり、リセット機能付のフリップフロップの例を示してある。

第2図において、端子RがLOWのときにはトランジスタQ9、Q10はオフしているので回路動作は第1図に示す回路と同一になる。一方、端子RがHighのときにはトランジスタQ9、Q10がオンするので出力端子QはHigh出力端子 \bar{Q} はLOWとなり、リセット状態となる。

第3図は本発明請求範囲1の応用例を示す回路図であり、第1図に示すフリップフロップを2段接続したT型フリップフロップ回路で構成される2分周回路例を示す。

第3図において、端子C、 \bar{C} よりクロックパルスが入力され、端子CがHigh、端子 \bar{C} がLOWとするとトランジスタQ1、Q2；Q13、Q14はオフする。このときにQ3又はQ4、Q15又はQ16がオンし、データを決定する。このときトランジスタ

- 4 -

Q16がオフ、トランジスタQ7、Q11がオン、トランジスタQ8、Q12はオフし、データは反転する。このとき出力端子QはHigh、出力端子 \bar{Q} はLOWである。

次に入力クロックパルスが反転して端子CがHigh、端子 \bar{C} がLOWになると、トランジスタQ1、Q2；Q13、Q14はオフ、トランジスタQ5、Q6；Q9、Q10はオン、トランジスタQ4はON、トランジスタQ3はオフ、トランジスタQ15はオン、トランジスタQ16はオフし、データは保持される。

以下、順次入力クロックパルスが反転を繰り返す毎に出力データは反転と保持を繰り返す。すなわち出力データは入力クロックパルスに対して2倍の周期のパルスとなり、2分周回路となっていることがわかる。

第4図は本発明の応用例を示す回路図であり、切替機能付の2分周回路である。

第4図は第3図にトランジスタQ17、Q23と制御端子Sを追加し、更にトランジスタQ1、Q2

- 6 -

から成る差動増幅器を追加し、定電流源を具体的にトランジスタQ9、Q14、Q20、Q26で構成した回路である。

今、制御端子SがLOWのときにはトランジスタQ17、Q23はオフとなるので、回路動作は第3図に示す回路と同一となり、2分周回路となる。

一方、制御端子SがHighのときを考える。

今、トランジスタQ18、Q19、Q24、Q25のエミッタサイズを S_0 とし、トランジスタQ17、Q23のエミッタサイズを mS_0 とし、トランジスタQ15、Q16、Q21、Q22のエミッタサイズを nS_0 とする。

ここで $m \gg 1$ 、 $2n \gg 1$ かつ $2n \gg m$ とすれば入力端子CがHigh、入力端子 \bar{C} がLOWのときにトランジスタQ15、Q16がオン、トランジスタQ21、Q22がオフ、かつトランジスタQ17、トランジスタQ18、Q19がオフ、トランジスタQ23がオン、トランジスタQ24、Q25がオフとみなして良い。従ってこのときに出力端子 \bar{Q} はHigh、出力端子QはLOWとなる。

- 7 -

図は本発明請求範囲2の一実施例を示す回路図、第3図は本発明請求範囲1の一実施例を示す回路図、第4図は本発明の一実施例を示す回路図、第5図は従来回路である。

Q1～Q25……トランジスタ。

代理人 弁理士 内 原

皆



次に、入力端子CがLOW、入力端子 \bar{C} がHighのときにトランジスタQ15、Q16がオフ、トランジスタQ21、Q22がオン、かつトランジスタQ17がオン、トランジスタQ18、Q19がオフ、トランジスタQ23、トランジスタQ24、Q25がオフとみなして良い。従ってこのときに出力端子 \bar{Q} はLOW、出力端子QはHighとなり、分周動作を止める。

ここで第4図の回路図からもわかるようにグラウンドと電源間に縦型接続しているトランジスタは2個であることより、電源電圧が1.5V以下でも実現可能である。

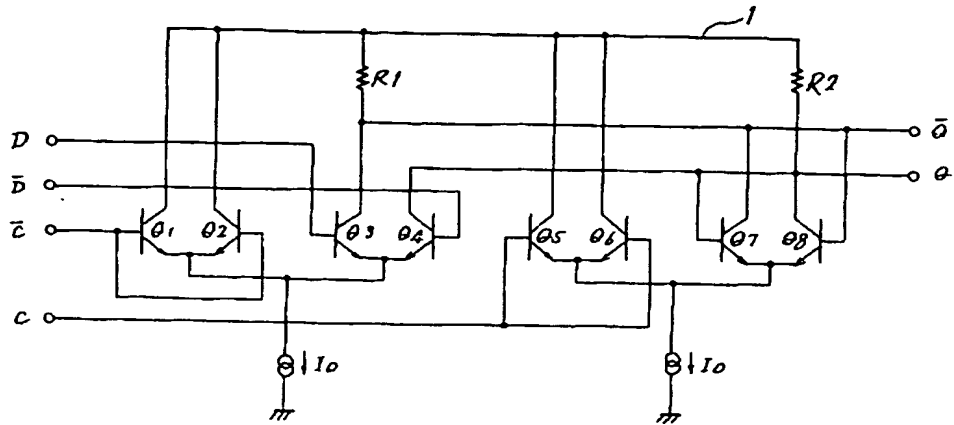
〔発明の効果〕

以上説明したように、本発明は定電流源を共有する2対のトランジスタ対から成る2個の差動回路でフリップフロップを構成することにより低電圧化できる効果がある。

4. 図面の簡単な説明

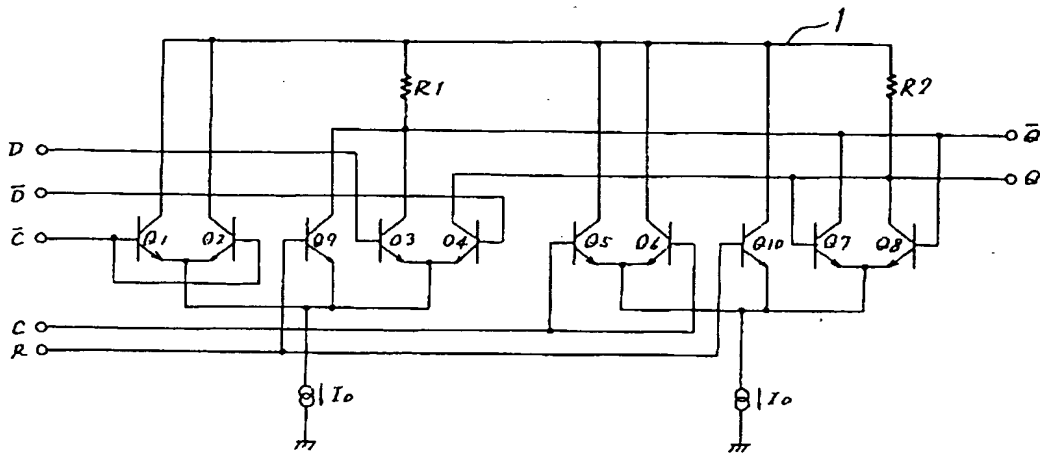
第1図は本発明請求範囲1を示す回路図、第2

- 8 -



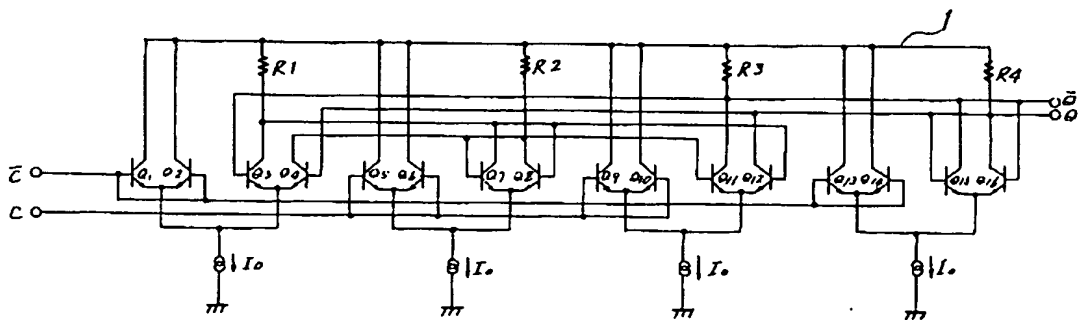
1 電源
 $R1, R2$... 抵抗
 $Q1 \sim Q8$... トランジスタ
 I_0 ... 定電流源

第 1 図



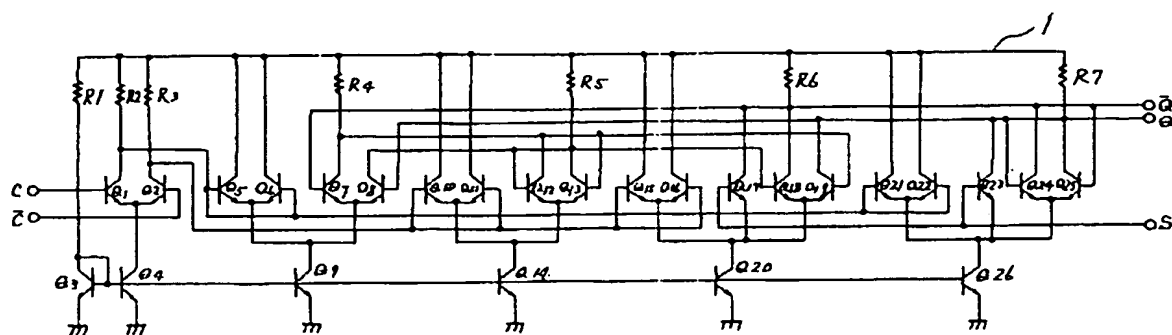
1 電源
 $R1, R2$... 抵抗
 $Q1 \sim Q10$... トランジスタ
 I_0 ... 定電流源

第 2 図



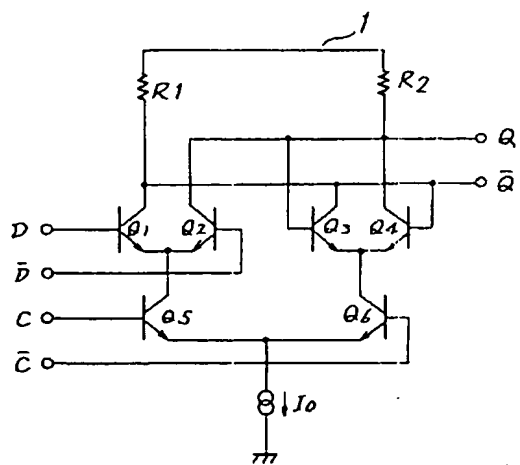
1 電源
 $R1 \sim R3$... 抵抗
 $Q1 \sim Q16$... トランジスタ
 I_0 ... 定電流源

第 3 図



1…電源
 $R_1 \sim R_7$ …抵抗
 $Q_1 \sim Q_{26}$ …トランジスタ

第 4 図



1…電源
 R_1, R_2 …抵抗
 $Q_1 \sim Q_6$ …トランジスタ
 I …定電流源

第 5 図